

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

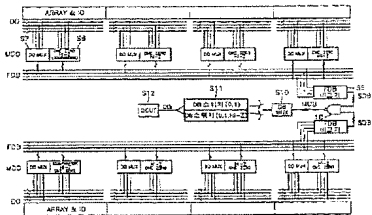
(11)Publication number: 100172347 B1
(43)Date of publication of application: 23.10.1998

(21)Application number: 1019950055738
(22)Date of filing: 23.12.1995
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: JUNG, SE JIN
PARK, CHAN JONG
(51)Int. Cl G11C 29/00

(54) PARALLEL TEST CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A parallel test circuit of a semiconductor memory device is provided to achieve the high integration of the semiconductor memory device by selecting a mode with DB switch at a DB MUX terminal. CONSTITUTION: A parallel test circuit comprises a plurality of first comparing devices which compare a plurality of cell data transmitted through a plurality of data output lines. A plurality of second comparing devices are provided to secondarily compare the cell data by receiving the cell data from the first comparing devices. A multiplexer is provided for multiplexing the output of the second comparing devices. First and second switch devices are connected to the output terminal of the multiplexer. A data outputting buffer is provided for buffering the output of the second switch device. The data outputting buffer is connected to the terminal ends of the first and second switch devices.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19951223)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (19980929)
Patent registration number (1001723470000)
Date of registration (19981023)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
G11C 29/00

(11) 공개번호 특1997-0051420
(43) 공개일자 1997년07월29일

(21) 출원번호 특1995-0055738
(22) 출원일자 1995년12월23일

(71) 출원인 삼성전자주식회사 김광호
 경기도 수원시 팔달구 매탄동 416번지 (우 : 440-370)

(72) 발명자 박찬중
 서울시 관악구 봉천6동 1680-19
 정세진
 서울시 마포구 신공덕동 90-1

(74) 대리인 이건주

심사청구 : 있음

(54) 반도체 메모리장치의 병렬테스트 회로

요약

1. 청구범위에 기재된 발명이 속하는 기술 분야.

본 발명은 반도체 메모리장치의 병렬테스트회로에 관한 것으로, 특히 집적화에 유리한 회로구성을 지니는 반도체 메모리장치의 병렬테스트회로에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제.

종래기술에 의한 병렬 테스트동작시 데이터의 상태를 알아아보기 위하여서는 옵션으로 되어 있는 회로를 동작시켜야 한다. 즉, 종래기술에서는 각 데이터 출력라인마다 멀티플렉서와 원, 제로 비교기와 원, 제로, 하이-임피던스 비교기가 모두 접속되어 있어야만 한다. 또한 데이터 패스의 전반부부터 데이터 출력버퍼까지의 패스가 결정되기 때문에 멀티플렉서의 레이아웃 및 제어가 복잡하게 된다. 이러한 경우, 상기 비교기가 칩내부에서 차지하는 면적이 크고, 제어가 어렵게 된다. 따라서 제어패스를 간소화하여 단순하게 동작을 실행할 수 있으면서, 칩면적이 줄어든 반도체 메모리장치의 병렬 테스트회로를 구현하는 것이 본 발명의 과제이다.

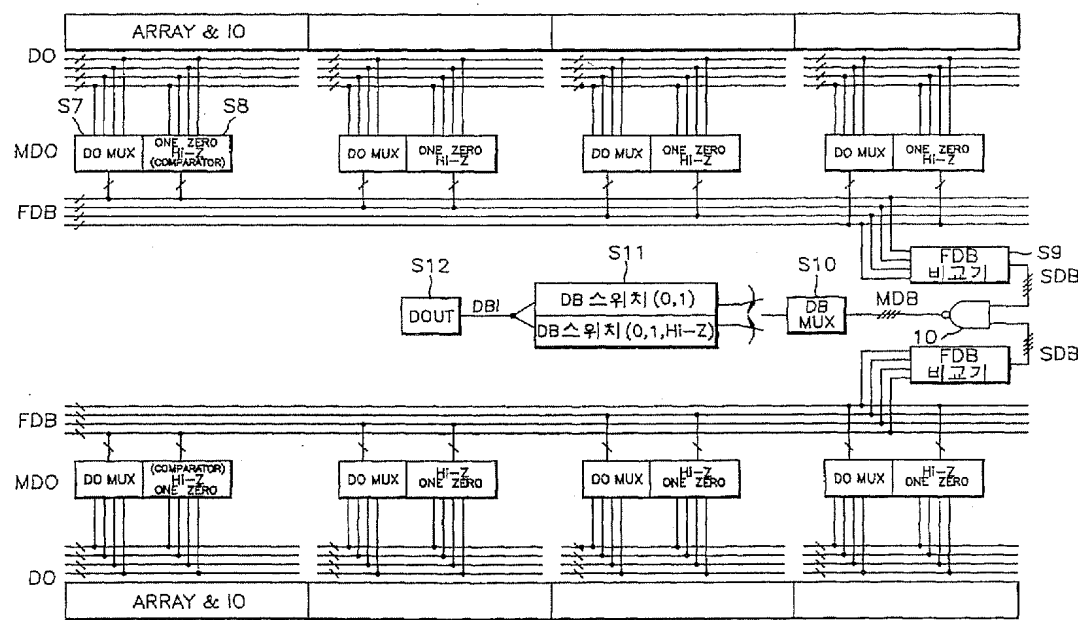
3. 발명의 해결방법의 요지.

메모리블럭에 인접하여 형성된 복수개의 데이터 출력라인을 통하여 전송되는 다수의 셀데이터를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플렉싱하기 위한 소정의 멀티플렉서와, 상기 멀티플렉서의 출력단과 선택적으로 접속되는 제1 및 제2스위칭수단과, 상기 제1 및 제2 스위칭수단의 출력단들에 공통으로 접속되며 상기 제1 및 제2스위칭수단의 출력을 버퍼링하는 소정의 데이터 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 상기 제2스위칭수단을 접속하여 2방식의 데이터 테스트를 실행함을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로를 구현함으로써 상기 과제를 해결하게 된다.

4. 발명의 중요한 용도.

제어가 간편하면서도 칩면적이 줄어든 반도체 메모리장치의 병렬 테스트회로.

대표도
도면



명세서

[발명의 명칭]

반도체 메모리장치의 병렬테스트회로

[도면의 간단한 설명]

제8도는 본 발명의 일실시예에 따른 병렬테스트시의 데이터패스를 보여주는 도면.

제15도는 본 발명의 다른 실시예에 따른 병렬테스트시의 데이터패스를 보여주는 도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57)청구의 범위

청구항1

다수의 메모리셀을 구비하는 메모리 어레이와, 상기 메모리셀의 불량률을 고속으로 테스트하는 반도체 메모리장치의 병렬 테스트회로에 있어서, 메모리블럭에 인접하여 형성된 복수개의 데이터 출력라인을 통하여 전송되는 다수의 셀데이터를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플렉싱하기 위한 소정의 멀티플렉서와, 상기 멀티플렉서의 출력단과 선택적으로 접속되는 제1 및 제2스위칭수단과, 상기 제1 및 제2 스위칭수단의 출력단들에 공통으로 접속되며 상기 제1 및 제2스위칭수단의 출력을 버퍼링하는 소정의 데이터 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 상기 제2스위칭수단을 접속하여 2방식의 데이터 테스트를 실행함을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

청구항2

제1항에 있어서, 상기 제1동작이 소정의 테스트동작만을 실행하는 원, 제로방식을 사용하는 동작임을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

청구항3

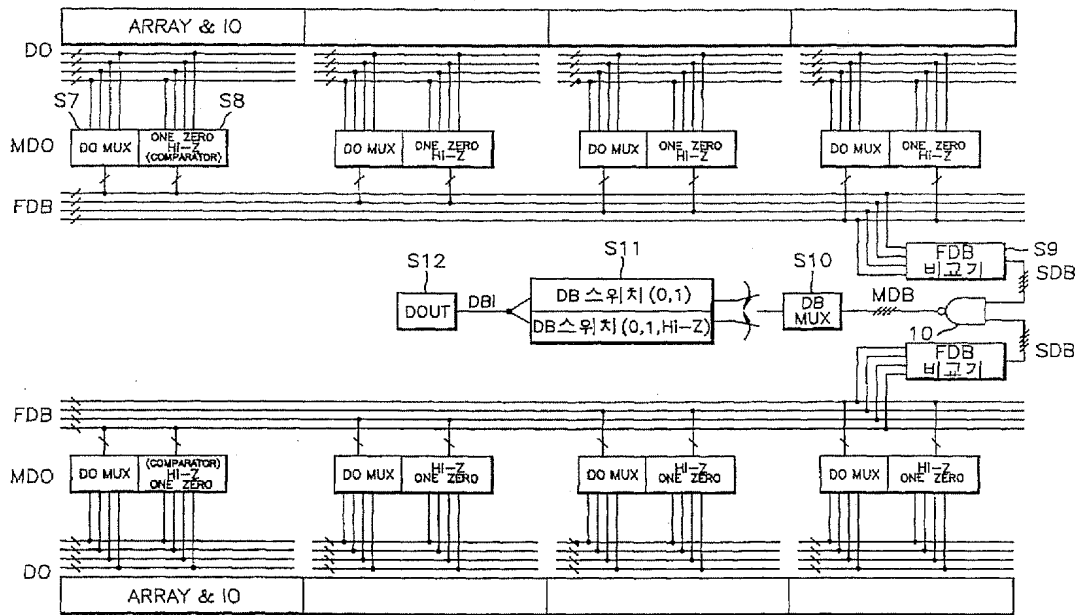
제1항에 있어서, 상기 제2동작이 소정의 테스트동작 및 상기 테스트에 따른 데이터의 상태를 검증하는 동작을 실행하는 원, 제로, 하이-임피던스방식을 사용하는 동작임을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

청구항4

다수의 메모리셀을 구비하는 메모리 어레이와, 상기 메모리셀의 불량률을 고속으로 테스트하도록 다수의 비교기를 구비하는 반도체 메모리장치의 병렬테스트회로에 있어서, 메모리블럭에 인접하여 형성된 복수개의 데이터 출력라인을 통하여 전송되는 다수의 셀데이터를 비교하는 다수개의 제1비교기와, 상기 다수개의 제1비교기의 출력단에 공통으로 접속되며 상기 다수개의 제1비교기출력을 전달받아 2차적으로 비교하기 위한 제2비교기와, 상기 제2비교기의 출력을 멀티플렉싱하기 위한 소정의 멀티플렉서와, 회로내부에 제1 및 제2스위칭수단이 내장되고 상기 멀티플렉서의 출력을 버퍼링하는 소정의 데이터 출력버퍼를 구비하며, 소정의 제1동작시 상기 멀티플렉서와 상기 제1스위칭수단을 접속하고, 소정의 제2동작시 상기 멀티플렉서와 사이 제2스위칭수단을 접속하여 2방식의 데이터 테스트를 실행함을 특징으로 하는 반도체 메모리장치의 병렬 테스트회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면
도면8



도면15

